

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 06020035 A

(43) Date of publication of application: 28 . 01 . 94

(51) Int. Cl.

G06F 15/66

G06F 15/64

G06F 15/70

G06F 15/70

(21) Application number: 03137942

(22) Date of filing: 10 . 06 . 91

(71) Applicant: SUMITOMO METAL IND LTD

(72) Inventor: KONO MASAHIRO
KATO MASAHIRO

(54) IMAGE DATA PROCESSOR

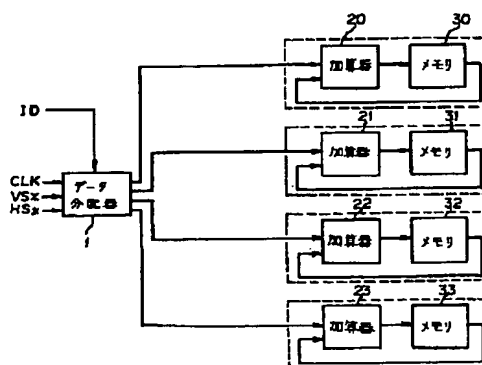
processing speed.

(57) Abstract:

COPYRIGHT: (C)1994,JPO&Japio

PURPOSE: To provide an image data processor which can calculate at a high speed the vertical projection totalized value of the image data showing the gradation degree of a subject.

CONSTITUTION: A data distributor 1 distributes the image data ID in sequence to the adders 20-23 and synchronously with a clock CLK. The adders 20-23 receive the vertical addition value of the image data on the columns corresponding to the lines covering up to the immediately precedent one from the memories 30-33 in the prescribed timing. Then each adder adds together with the received addition value and the image data inputted by the relevant point of time and stores this added value in a memory. These operations are repeated so that the final totalized value is obtained. In such a constitution, plural addition processing circuits are provided to receive the supply of the distributed data and therefore the totalization processing operations are carried out in parallel with each other. Thus it is possible to successively process all image data stored in a single frame and to increase the totalization



(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-20035

(43)公開日 平成6年(1994)1月28日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/66	A	8420-5L		
15/64	E	9073-5L		
15/70	3 2 0	9071-5L		
	3 5 0 Z	8837-5L		

審査請求 未請求 請求項の数1(全 9 頁)

(21)出願番号 特願平3-137942

(22)出願日 平成3年(1991)6月10日

(71)出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72)発明者 河野 政裕

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社内

(72)発明者 加藤 雅弘

兵庫県尼崎市扶桑町1番8号 住友金属工業株式会社内

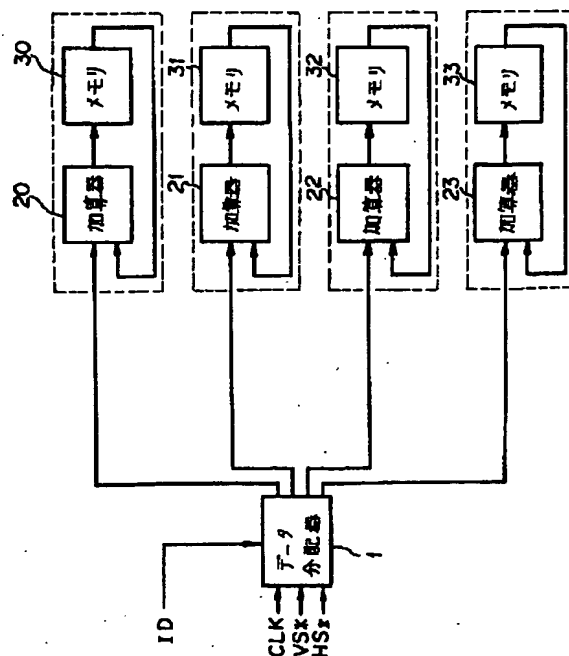
(74)代理人 弁理士 湯浅 恭三 (外4名)

(54)【発明の名称】 画像データ処理装置

(57)【要約】

【目的】 対象物の濃淡度を表す画像データの垂直方向投影集計値を、高速で演算できる処理装置を提供する。

【構成】 データ分配器1により、画像データIDをクロックCLKに同期して加算器20～23に順次分配し、それぞれの加算器では、メモリ30～33から直前のライン(行)までの対応する列の画像データの垂直方向加算値が所定のタイミングで供給されて、該加算値とその時点で入力された画像データと加算し、得られた加算値をメモリに記憶し、それを繰り返す事により最終的な集計値を得る事ができるように構成されている。データが分配供給される複数の加算処理回路を設けて、集計処理を並列してできるようにしているので、入力される1フレーム中の画像データのすべてを順次処理でき、したがって集計処理が高速化される。



【特許請求の範囲】

【請求項1】 2次元表示される対象物のピクセル毎の濃淡度を示す画像データを水平及び垂直方向に集計した水平及び垂直方向集計値を得るための画像データ処理装置において、垂直方向集計値を得るための処理手段が、画像データを順次分配するためのデータ分配手段、該分配手段からの画像データがそれぞれ入力される複数の加算手段、及び加算手段のそれぞれの演算結果である加算値を所定のタイミングで所定のアドレスに記憶し、かつ記憶した加算値を所定のタイミングで対応する加算手段に供給して累加算ができるよう接続されたメモリ手段垂直方向集計値の演算処理を複数並列的に実行するためのサブ処理装置制御回路とからなることを特徴とする画像データ処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、画像データ投影集計処理装置に関し、特に、2次元表示される対象物のピクセル毎の濃淡度を示す画像データをそれぞれX軸、Y軸に

$$S_{Hi} = D(i, 0) + D(i, 1) + \dots + D(i, M-1)$$

$$[i = 0, 1, \dots, M-1]$$

$$S_{Vj} = D(0, j) + D(1, j) + \dots + D(M-1, j)$$

$$[j = 0, 1, \dots, M-1]$$

【0004】水平方向集計値 S_{Hi} は、累加算器によりライン L_i の連続して入力する各画像データを順次加算する事によって得られる。また、垂直方向集計値 S_{Vj} は、加算すべき画像データが連続して入力しないので、ライン L_{i-1} までに得られた画像データの加算値を記憶してそれを読み出して加算する必要がある、図5に示されるような加算器100及びメモリ(RAM)200からなる処理装置を用いて、集計値 S_{Vj} を計算している。

【0005】この図5に示された処理装置の動作を、図6の動作タイミング図を用いて説明する。ライン L_i の画像データ $D(i, 0)$ 、 $D(i, 1)$ 、 $D(i, 3)$

… $D(i, M)$ がクロックCLKに同期して送られてくると、まず第1のクロックサイクルにおいてデータ $D(i, 0)$ が加算器100に読み込まれる。それと同時に

$$S_{V(0)}, S_{V(4)}, \dots, S_{V(4N)}, \dots$$

がメモリの所定のアドレスに記憶される。

【0007】そして再びライン L_0 に戻り、加算処理が実行されなかったデータの内、 $D(i, 1)$ 、 $D(i, 5)$ 、…、 $D(i, 4N+1)$ …に関する加算処理を実行し、その後 $D(i, 2)$ 、 $D(i, 6)$ 、…、 $D(i, 4N+2)$ …に関する加算処理、及び $D(i, 3)$ 、 $D(i, 7)$ 、…、 $D(i, 4N+3)$ …に関するの加算処理を前記と同様に繰り返し、最終的に総ての集計値 $S_{V(1)} \sim S_{V(M)}$ が得られる。

【0008】

【発明が解決しようとする課題】従来例の画像データ投

投影して、該投影したデータをX軸、Y軸の各値毎に集計し、それによって、画像の投影集計分布を得るための画像データ投影集計処理装置に関する。

【0002】

【従来の技術】図4には、模式化して表した 8×8 ピクセルサイズの画像が示されており、各ピクセル内にその画像データとしての輝度が数値で示されている。そして、それぞれの輝度をX軸及びY軸に投影して集計した値、即ち水平及び垂直方向集計値 S_{Hi} 、 S_{Vj} ($i, j = 0, 1, \dots, 7$)を、それぞれの軸に平行した周辺部に示している。対象物がX軸またはY軸で確実に分離される場合は、対象物の存在、欠陥判定、重心判定等を概略的にとらえる必要がある分野において、このような集計値分布を得る事は非常に有効であり、従来より採用されている。

【0003】このような集計値 S_{Hi} 、 S_{Vj} は一般に、ピクセル(i, j)の画像データ(濃度)を $D(i, j)$ と表し、1フレームが $M \times M$ ピクセルで構成されているとすると、以下のように表される。

に第1及び第2のサイクルにおいて、メモリ200の対応するアドレス AD_0 からそれ以前に記憶されている加算値 $S_{V0(i-1)}$ が読み出され、第3のサイクルにおいて、加算器100により、

$$S_{V0(i)} = S_{V0(i-1)} + D(i, 0)$$

の加算演算が実行される。更に第4のサイクルにおいて、得られた加算値 $S_{V0(i)}$ がメモリ200のアドレス AD_0 に書き込まれ、データ $D(i, 0)$ の加算処理が終了する。

【0006】続いて第5のサイクルにおいて、データ $D(i, 4)$ が加算器100に読み込まれ、以下同様なサイクルで加算処理が実行され、加算値 $S_{V4(i)}$ がメモリ200のアドレス AD_4 に記憶される。このような動作を繰り返して最終ライン L_{M-1} の処理を実行して集計値

$$[N = 0, 1, 2, \dots]$$

影集計処理装置は以上のように構成されているので、水平方向集計値を S_{Hi} を得る場合は、画像データが入力される毎に該データを順次加算すれば良いので、1フレーム分の画像データの入力が完了した時点ですべての集計値が得られるが、垂直方向集計値 S_{Vj} をすべて得るために、上記の場合は1フレーム分のデータを4回反復して入力しなければならず、すべての集計値を得るまでに長時間必要であるという問題点があった。本発明は、このような問題点を解決するためになされたものであり、その目的とする所は、短時間で画像データの垂直方向集計値を得る事ができるようにした画像データ投影集計処理装置を提供する事である。

【0009】

【課題を解決するための手段】上記目的を解決するため、本発明は、画像データを複数に順次分配して垂直方向集計値の処理を複数平行して実行する事ができるよう構成した事の特徴としており、画像データを分配するためのデータ分配手段、該分配手段からの画像データがそれぞれ入力される複数の加算手段、及びメモリ手段となり、該メモリ手段は、加算手段のそれぞれの演算結果を所定のタイミングで記憶すると共に記憶した加算値を所定のタイミングで対応する加算手段に供給するよう構成されている。

【0010】

【実施例】図1には本発明の一実施例における垂直方向集計処理装置の概略が示されており、図において、1はデータ分配回路、2は複数の加算器20～23からなる垂直方向加算回路、3は複数（または1つの）メモリ（RAM）30～33からなる垂直方向メモリである。

【0011】この実施例の動作を図2の動作タイミング図を参照して説明する。データ分配回路1には図2

(B)に示すようにライン L_i ($i=0, 1, \dots, M$)の画像データIDが供給され、クロックCLK、水平及び垂直同期信号HS*、VS*に制御されて、加算器20～23に対して図2(C)～(F)に示すように画像データをクロックサイクル毎に切り換えて分配する。加算器20には、第1のクロックサイクルで分配器1からデータ $D(i, 0)$ が到来し、また図2(C)に示すように、第1及び第2のサイクルにおいてメモリ30のアドレス AD_0 から、ライン L_{i-1} までの垂直方向累加算値 $S_{v0(i-1)}$ が読み出されて該加算器20に供給される。そして第3のサイクルにおいて、加算演算

$$S_{v0i} = D(i, 0) + S_{v0(i-1)}$$

が実行され、得られた加算値が第4のサイクルにおいて再びメモリ30のアドレス AD_0 に記憶される。

【0012】図2(D)に示すように、加算器21には第2のサイクルでデータ $D(i, 1)$ が到来し、同様にして第5のサイクルにおいて

$$S_{v1i} = D(i, 1) + S_{v1(i-1)}$$

がメモリ31のアドレス AD_1 に記憶される。同様にして、図2(E)、(F)に示すように、第3及び第4のサイクルでデータ $D(i, 2)$ 、 $D(i, 3)$ が加算器22、23に到来し、第6及び第7のサイクルにおいてメモリ32、33のアドレス AD_2 、 AD_3 に加算値 S_{v2i} 、 S_{v3i} が記憶される。

【0013】これらの加算器20～23には、第5～第8のサイクルでデータ $D(i, 4) \sim D(i, 7)$ がそれぞれ供給されるが、それ以前に得られた加算値 $S_{v0i} \sim S_{v3i}$ は第4～第7のサイクルでそれぞれメモリ30～33のアドレス $AD_0 \sim AD_3$ に書き込まれているので、これらの加算器は新しいデータを受け入れる事ができ、同様にして加算値 $S_{v4i} \sim S_{v7i}$ を演算してそれぞれ

のメモリのアドレス $AD_4 \sim AD_7$ に書き込む事ができる。

【0014】以上のようにして、垂直方向の集計は複数並列処理により実行されるので、1フレーム分の画像データの供給が完了した時点でほぼすべての集計値 $S_{v0} \sim S_{vM}$ を得る事ができる。なお、メモリ30～31は、読み出しサイクルをデータ入力サイクルの直後のサイクルに限定すれば、2つ以上同時に書き込みモード、又は読み出しモードになる事がないので、これらは1つのメモリとして構成できるものである。このようにして得られた垂直方向集計値及び従来と同様の水平方向累加算器により得られた水平方向集計値はCPU等に供給され、ディスプレイに表示されると共に、必要に応じて更に分析等の処理が実行される。

【0015】図3には、図1に示した垂直方向集計処理装置を適用した画像データ処理装置が示されており、図1の構成要素と同一のものは同一の参照番号で示されている。図において、4は入力画像データIDをラッチするデータラッチ回路、5は装置をイネーブル状態にするイネーブル信号IDEN*が供給されると、クロックCLK（必要に応じて分周したクロック）、水平及び垂直同期信号HS*、VS*に同期したタイミング信号を発生するタイミング発生回路、6は水平方向累加算器、7は該加算器からの集計値を所定のアドレスに記憶するための水平方向メモリ、8は該メモリ7の書き込み／読み出しを制御するための水平方向メモリ制御回路、9は垂直方向メモリ30～33からの読み出しを制御するための垂直方向読み出し制御回路、10はメモリ30～33への書き込みを制御するための垂直方向メモリ読み出し制御回路、11はCPU等の処理装置との間のデータ伝送を制御するためのCPUバス制御回路、12はCPUからの所定のコマンド信号等を記憶するためのレジスタ回路、13はサブ処理装置制御回路である。これらの回路は、1チップに集積化されている。また14は外付けメモリであり、チップ内の水平方向メモリ7の代わりに（またはメモリ7と同様に）水平方向集計値 S_{Hi} を記憶することができる。

【0016】水平方向累加算器6、メモリ7、及び垂直方向加算器20～23、メモリ30～33は、タイミング発生回路7からのタイミング信号に基づき、制御回路8、9、10により制御されて、上記に説明したような動作を実行すると共に、制御回路8、9によりメモリ内容が読み出されて、CPUバスを介してCPUに伝送される。

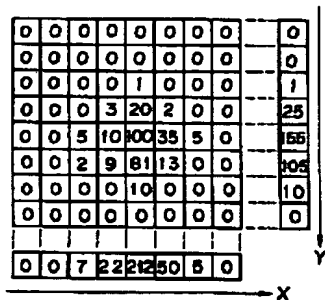
【0017】サブ処理装置制御回路13について以下に説明する。画像データの集計処理は以上のように実行されるが、垂直方向加算器を所定複数用いたとしても、画像データの伝送速度が集計処理動作よりも速い場合がある。このような場合、垂直方向加算器の数を増やせば1フレーム分の画像データの伝送にほぼ同期して、すべて

5

の垂直方向集計値 $S_{V0} \sim S_{VM}$ が得られるものであるが、図3に示したようなチップ構造に形成した場合は、製造済みのチップにおいて垂直方向集計用の加算器の数を増やす事ができない。しかしながら、このようなチップ構造を複数段に接続して画像データを分配すれば、実質的に垂直方向加算器の数を増やす事ができるものであり、サブ処理装置制御回路13は、このようにチップ構造を複数段接続して使用可能にするために挿入されたものである。

【0018】データ分配回路1により、例えば画像データ $D(i, 2N+1)$ のみが垂直方向加算器40～44に分配されると、その残りの画像データ $D(i, 2N)$ が、分配器1からサブ処理装置制御回路13に供給され、該データ $D(i, 2N)$ が画像データ出力ODとして出力バスを介して後段のチップに供給される。該回路13には更に、CPUバスからレジスタファイル9に記憶されたサブ処理装置使用制御信号、及びタイミング回路5からのタイミング信号が供給され、それに応じてサブ処理装置用クロック $S1$ 、水平及び垂直方向データストローブ $H S O^*$ 、 $V S O^*$ を後段チップに供給する。後段チップにおいては、前段と同様に垂直方向集計処理が実行されるが、水平方向集計処理は初段チップにおいてのみ実行される。垂直方向集計処理用の加算器数を更に増やす必要がある場合は、集計処理装置を3段以上接

【図4】



6

続すると共に、サブ処理装置用クロック $S2$ 、 $S3$ をそれぞれに供給すれば良い。

【0019】

【発明の効果】本発明は以上のように構成されているので、1フレーム分の画像データの入力完了すると同時に水平及び垂直方向集計値を得る事ができ、したがって従来例に比べて処理動作が高速化されるという作用効果を奏する事ができる。

【図面の簡単な説明】

10 【図1】垂直方向に画像データを集計処理するための処理装置の本発明の一実施例を示すブロック図である。

【図2】(A)～(J)は、図1に示した処理装置の動作を説明するためのタイミング図である。

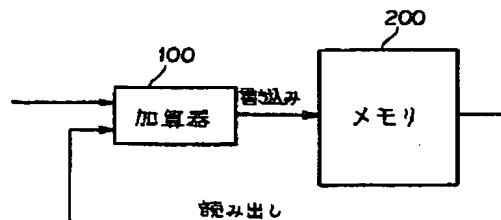
【図3】垂直方向集計処理動作をより高速化することができるようにすると共に、水平方向に集計処理するための処理手段を組み入れた、本発明の処理装置を示すブロック図である。

【図4】画像データと水平及び垂直方向集計値との関係を説明するための模式図である。

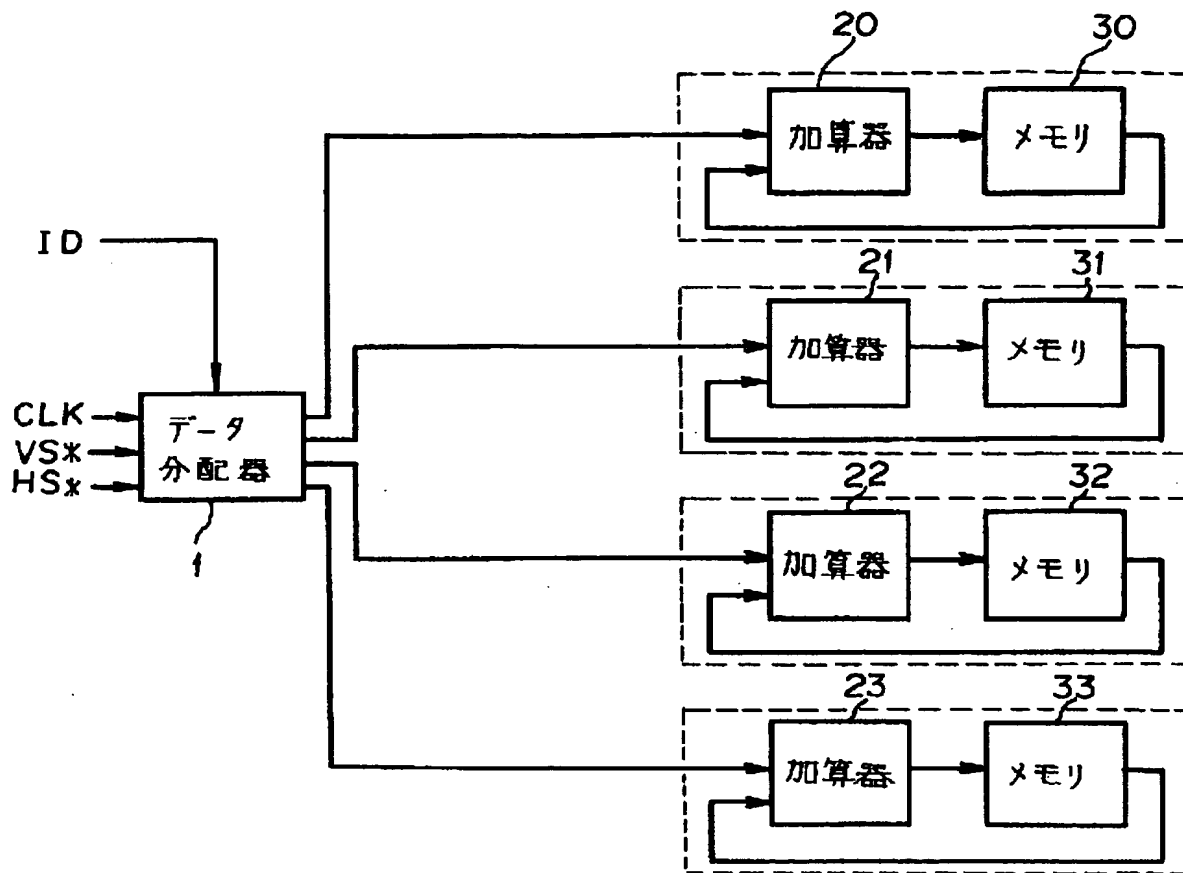
20 【図5】垂直方向集計処理を実行するための従来例装置である。

【図6】図5に示した従来例装置の動作を説明するためのタイミング図である。

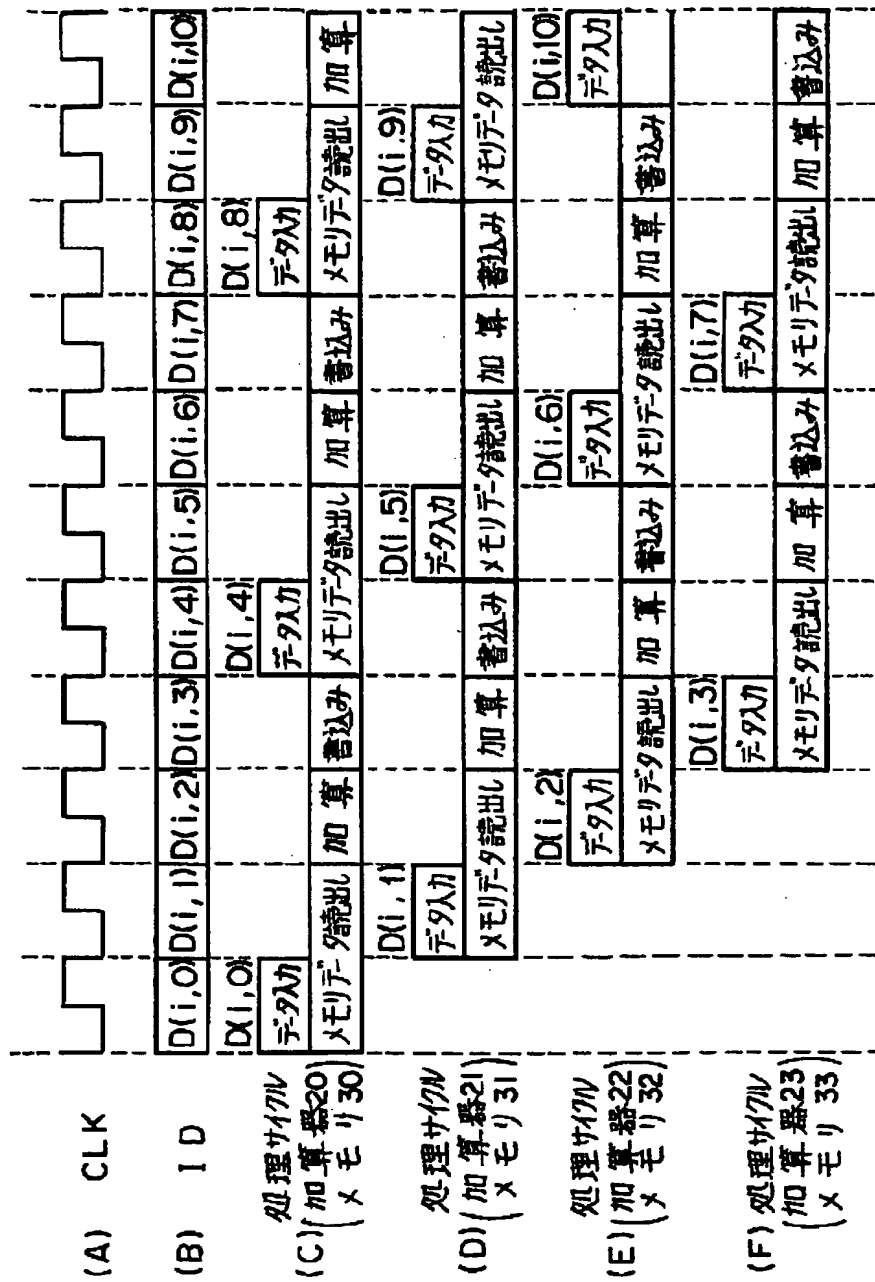
【図5】



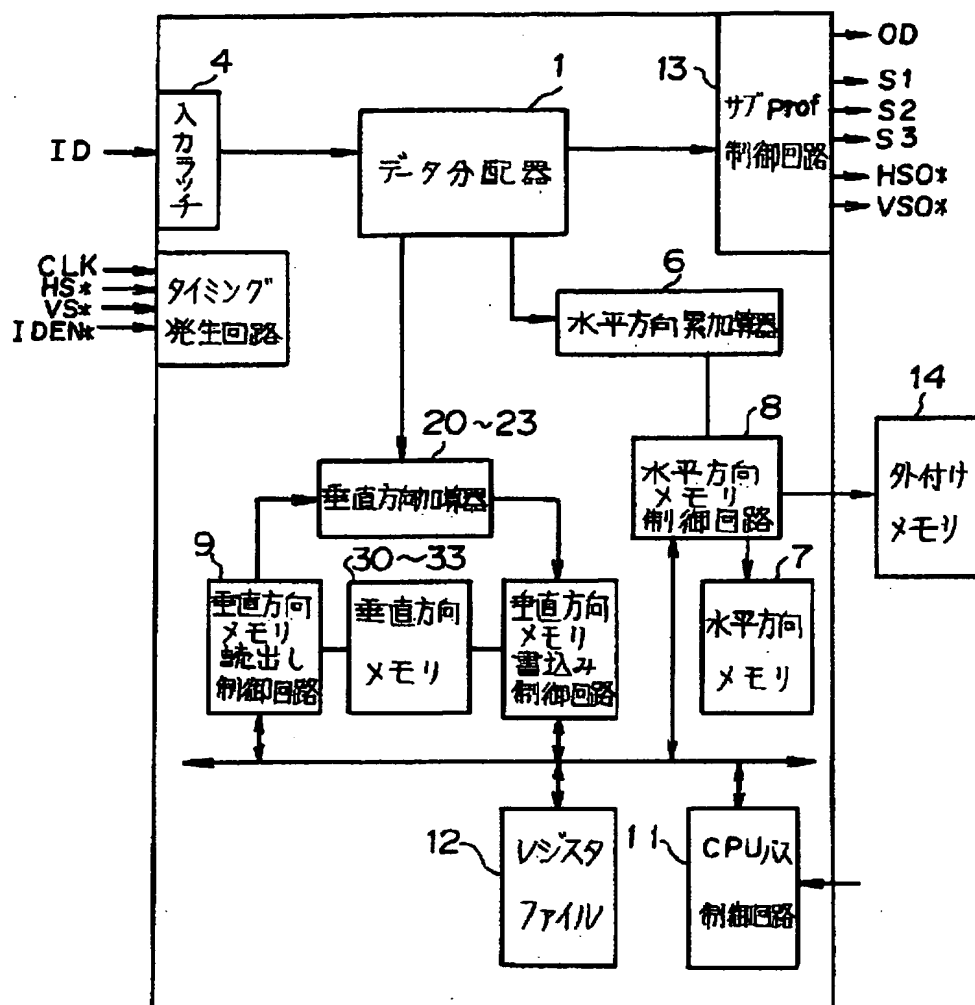
【図1】



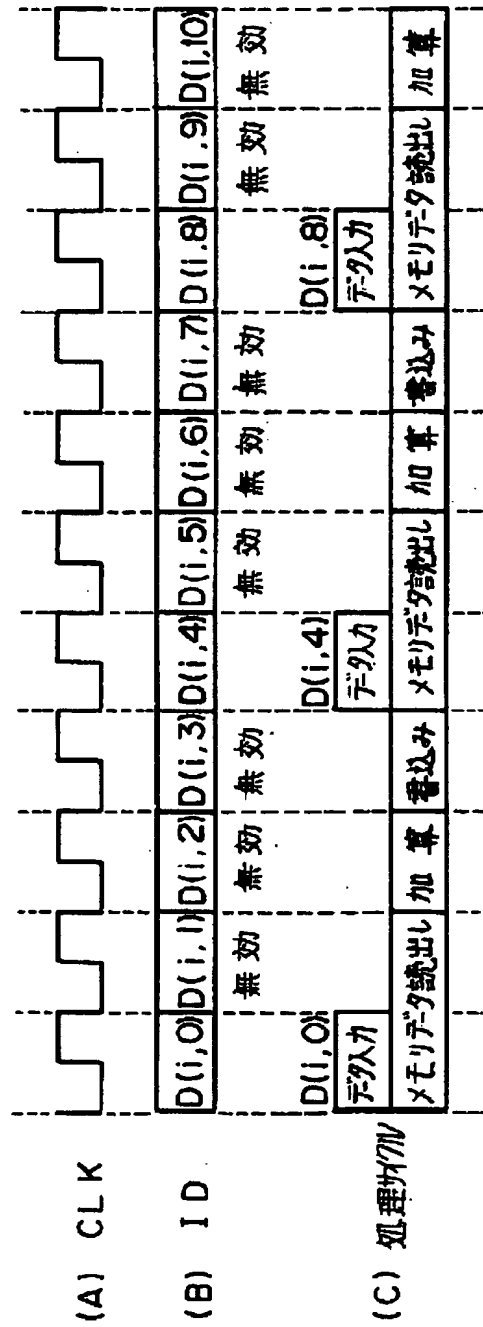
【図2】



【図3】



【図6】



【手続補正書】

【提出日】平成 5 年 7 月 8 日

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】図 2

【補正方法】変更

【補正内容】

【図 2】図 1 に示した処理装置の動作を説明するための
タイミング図である。